

DERWENT- 1996-352288

ACC-NO:

DERWENT- 199635

WEEK:

*Ref*

*Tsuchimoto*

COPYRIGHT 2006 DERWENT INFORMATION LTD

**TITLE:** Semiconductor device mfr. - involves forming tungsten silicide layer on portion of silicon@ substrate, covering silicon oxide film which is formed only on contact hole after etching process

**PATENT-ASSIGNEE:** MITSUBISHI ELECTRIC CORP[MITQ]

**PRIORITY-DATA:** 1994JP-0311643 (December 15, 1994)

**PATENT-FAMILY:**



PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 08167580 A	June 25, 1996	N/A	009	H01L 021/28

**APPLICATION-DATA:**

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 08167580A	N/A	1994JP-0311643	December 15, 1994

**INT-CL (IPC):** H01L021/28, H01L021/768

**ABSTRACTED-PUB-NO:** JP 08167580A

**BASIC-ABSTRACT:**

The mfg method involves forming a positive resist on the surface of a silicon oxide film (2) formed on a silicon substrate (1). Then, an exposure processing using a predetermined reticle is performed. The resist is developed further. The silicon oxide film is etched, using positive type resist as a mask, thereby forming a contact hole (3).

A polysilicon layer (4) and a silicon oxide film (5) containing impurity are formed on the portion of the substrate sequentially, covering the formed contact hole. A negative type resist is applied on the silicon oxide film. Again the exposure processing using the reticle is performed and the negative type resist is developed. Using the negative type resist as a mask, the silicon oxide film is etched selectively, thereby remaining silicon oxide film is kept

on the surface of the contact hole. Then, a tung- sten silicate layer (7) is formed on the portion of the substrate, covering the remaining silicon oxide film and second resist layer.

ADVANTAGE - Prevents formation of empty space inside silicon layer effectively. Controls increase in contact resistance between wiring layer and semiconductor substrate effectively. Avoids usage of number of sheets of reticles. Uses resists having same development characteristics thereby reducing mfg. cost.

**CHOSEN-DRAWING:** Dwg.1/17

**DERWENT-CLASS:** L03 U11

**CPI-CODES:** L04-C06B; L04-C12A; L04-C13A;

**EPI-CODES:** U11-C04D; U11-C05E;

**PAT-NO:** JP408167580A  
**DOCUMENT-IDENTIFIER:** JP 08167580 A  
**TITLE:** MANUFACTURE OF SEMICONDUCTOR DEVICE

**PUBN-DATE:** June 25, 1996

**INVENTOR-INFORMATION:**

NAME	COUNTRY
TSUCHIMOTO, JUNICHI	

**ASSIGNEE-INFORMATION:**

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

**APPL-NO:** JP06311643

**APPL-DATE:** December 15, 1994

**INT-CL (IPC):** H01L021/28 , H01L021/768

**ABSTRACT:**

**PURPOSE:** To restrain a wiring layer of laminated structure composed of a metal silicide and a silicon layer and a semiconductor substrate which serves as ground from increasing the contact resistance between the wiring layer and the substrate.

**CONSTITUTION:** Positive resist is applied onto a silicon oxide film 2 on the primary surface of a silicon substrate. The positive resist is subjected to a light exposure treatment through a prescribed reticule and then developed, and the silicon oxide film 2 is etched through the developed positive resist film as a mask to form a contact hole 3. A polycrystalline silicon layer 4 doped with impurities and a silicon oxide film 5 are successively formed covering the contact hole 3. Negative resist is applied onto the silicon oxide film 5 and subjected to a light exposure treatment through a prescribed reticule and developed. The silicon oxide film 5 is etched using the negative resist as a mask so as to be left unremoved only on the contact hole 3.

**COPYRIGHT:** (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-167580

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	L			
	F			
21/768				
			H 0 1 L 21/ 90	C
審査請求 未請求 請求項の数4 O L (全 9 頁)				

(21) 出願番号 特願平6-311643

(22) 出願日 平成6年(1994)12月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 土本 淳一

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

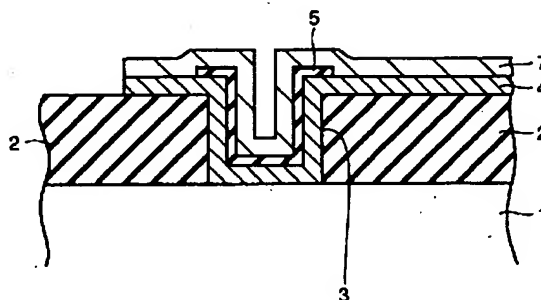
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 メタルシリサイド層とシリコン層との積層構造を有する配線層と下地となる半導体基板との接触抵抗の増大を抑制する。

【構成】 シリコン基板1の主表面上に形成されたシリコン酸化膜2上にポジ型レジスト6aを塗布する。所定のレチクルを用いてポジ型レジスト6aに露光処理を施した後現像し、このポジ型レジスト6aをマスクとして用いてシリコン酸化膜2をエッチングしてコンタクトホール3を形成する。コンタクトホール3を覆うように、不純物の導入された多結晶シリコン層4とシリコン酸化膜5とを順次形成する。シリコン酸化膜5上にネガ型レジスト6bを塗布し、再び上記のレチクルを用いて露光処理を行なった後現像する。このネガ型レジスト6bをマスクとして用いてシリコン酸化膜5をエッチングしてコンタクトホール3上にもシリコン酸化膜5を残余させる。



1: シリコン基板  
2.5: シリコン酸化膜  
3: コンタクトホール  
4: 多結晶シリコン層  
7: タングステンシリサイド (WSi) 層

1

## 【特許請求の範囲】

【請求項1】 半導体基板の主表面上に第1の絶縁層を形成する工程と、

前記第1の絶縁層上に第1のレジストを塗布する工程と、

所定のレチクルを用いて前記第1のレジストに第1の露光処理を施す工程と、

前記第1のレジストを現像した後、現像された前記第1のレジストをマスクとして用いて前記第1の絶縁層をエッチングすることによって前記半導体基板の主表面に達するコンタクトホールを形成する工程と、

前記コンタクトホールと前記第1の絶縁層とを覆うように、不純物の導入されたシリコン層を形成する工程と、前記シリコン層を覆うように第2の絶縁層を形成する工程と、

前記第2の絶縁層上に前記第1のレジストと反対の現像特性を有する第2のレジストを塗布する工程と、

前記レチクルを用いて前記第2のレジストに第2の露光処理を施す工程と、

前記第2のレジストを現像した後、現像された前記第2のレジストをマスクとして用いて前記第2の絶縁層をエッチングすることによって前記コンタクトホール上にのみ前記第2の絶縁層を残余させる工程と、

前記第2の絶縁層を覆うように前記シリコン層上にメタルシリサイド層を形成する工程と、  
を備えた、半導体装置の製造方法。

【請求項2】 半導体基板の主表面上に第1の絶縁層を形成する工程と、

前記第1の絶縁層上に第1のレジストを塗布する工程と、

所定のレチクルを用いて前記第1のレジストに第1の露光処理を施す工程と、

前記第1のレジストを現像した後、現像された前記第1のレジストをマスクとして用いて前記第1の絶縁層をエッチングすることによって前記半導体基板の主表面に達するコンタクトホールを形成する工程と、

前記コンタクトホールと前記第1の絶縁層とを覆うように、不純物の導入されたシリコン層を形成する工程と、前記シリコン層を覆うように第2の絶縁層を形成する工程と、

前記第2の絶縁層上に前記第1のレジストと同じ現像特性を有する第2のレジストを塗布する工程と、

前記レチクルを用いて前記第2のレジストに前記第1の露光処理の場合より少ない露光量の第2の露光処理を施す工程と、

前記第2のレジストにベーキング処理を施した後、前記第2のレジスト全面に第3の露光処理を施す工程と、

前記第3の露光処理の施された前記第2のレジストを現像した後、現像された前記第2のレジストをマスクとして用いて前記第2の絶縁層をエッチングすることによ

2

て前記コンタクトホール上にのみ前記第2の絶縁層を残余させる工程と、

前記第2の絶縁層を覆うように前記シリコン層上にメタルシリサイド層を形成する工程と、  
を備えた、半導体装置の製造方法。

【請求項3】 半導体基板の主表面上に第1の絶縁層を形成する工程と、

前記第1の絶縁層に前記半導体層の主表面に達するコンタクトホールを形成する工程と、

前記コンタクトホール内と前記第1の絶縁層上とに、不純物の導入されたシリコン層を形成する工程と、

前記シリコン層表面を酸化することによって、前記シリコン層の表面に第2の絶縁層を形成する工程と、

前記第2の絶縁層を選択的にエッチングすることによって、前記コンタクトホール上にのみ前記第2の絶縁層を残余させる工程と、

前記第2の絶縁層を覆うように前記シリコン層上にメタルシリサイド層を形成する工程と、  
を備えた、半導体装置の製造方法。

【請求項4】 半導体基板の主表面上に第1の絶縁層を形成する工程と、

前記第1の絶縁層に前記半導体基板の主表面に達するコンタクトホールを形成する工程と、

前記コンタクトホール内と前記第1の絶縁層上とに、不純物が導入されたシリコン層を形成する工程と、

前記シリコンを覆うようにSOG (Spin On Glass) 膜を形成する工程と、

前記SOG膜をエッチングすることによって、前記コンタクトホール内にのみ前記SOG膜を残余させる工程と、

前記シリコン層上と前記SOG膜上とにメタルシリサイド層を形成する工程と、

を備えた、半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関し、特に、半導体基板と配線層とのコンタクト部における配線層の形成方法に関するものである。

## 【0002】

【従来の技術】従来から、シリコン薄膜は、シリコン半導体デバイスにおける配線材料およびコンタクト材料として広く用いられている。これは、シリコン薄膜が、熱的に安定であること、リン、砒素、ボロンなどの不純物を添加することによって低抵抗化が容易に行なえること、堆積および後の工程での加工が比較的容易であること、などのプロセス上の長所を持つためである。

【0003】しかしながら、デバイスの集積度が向上し、配線幅が細くなるにつれて従来のシリコン薄膜ではその配線抵抗が大きくなり問題となってきた。このため、シリコン薄膜単層ではなく、不純物の導入されたシ

リコン薄膜（たとえば多結晶シリコン薄膜）の上にメタルもしくはメタルシリサイドを積層した構造の配線層が、用いられるようになった。このときに用いられるメタルシリサイドとしては、タングステンシリサイド（WSi）、モリブデンシリサイド（MoSi）、ニッケルシリサイド（NiSi）、コバルトシリサイド（CoSi）、チタンシリサイド（TiSi）、などが挙げられる。これらのメタルシリサイドが配線層の一部として用いられるのは、これらの金属シリサイドが熱的に安定であること、低抵抗であること、シリコン薄膜との反応性が低いことなどに起因する。

【0004】

【発明が解決しようとする課題】上記のようにメタルシリサイドと不純物が導入されたシリコン薄膜との積層構造からなる配線層は、低抵抗であると考えられていたが、次のような問題点を有していた。その問題点について、図17を用いて説明する。図17は、上記のような従来の積層構造を有する配線層の問題点を模式的に示す断面図である。

【0005】実際の半導体装置の製造プロセスにおいては、上述のような積層構造の配線層を形成した後、たとえば、配線層間の絶縁分離を行なうための絶縁層が形成される。そして、この絶縁層には、通常、平坦化などのための何らかの熱処理が施される。このような熱処理が施されることによって、下層のシリコン薄膜（多結晶シリコン層4）中に導入されたリン、砒素、ボロンなどの不純物10が、図17に示されるように、メタルシリサイド層（タングステンシリサイド層7）中へ拡散してしまう。

【0006】それにより、シリコン薄膜中の不純物濃度が低下して低濃度領域9が形成され、その部分のシリコン薄膜があたかもノンドープのような状態になる可能性がある。その結果、シリコン薄膜自体の抵抗値は増大する。

【0007】この場合、上記のようなメタルシリサイドとシリコン薄膜との積層構造の配線層の抵抗値に関しては、上層の低抵抗のメタルシリサイドのシート抵抗によってほぼ決定されるため大きな問題は生じない。しかしながら、上記の積層構造の配線層がシリコン基板1などの下地と接触する部分においては、その接触抵抗が極めて大きいものとなる。それは、通常、下地のシリコン基板と配線層とのオーミックコンタクトは電子のトンネリングによって実現しているが、シリコン基板と配線層との間にノンドープに近いシリコン層が存在することによって電子のトンネリングが妨げられるからである。

【0008】この発明は、上記のような課題を解決するためになされたものである。この発明の目的は、メタルシリサイドとシリコン薄膜との積層構造を有する配線層とその下地との接触抵抗の増大を効果的に抑制できる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】この発明に係る半導体装置の製造方法によれば、1つの局面ではまず、半導体基板の主表面上に第1の絶縁層を形成する。この第1の絶縁層上に第1のレジストを塗布する。所定のレチクルを用いて第1のレジストに第1の露光処理を施す。第1のレジストを現像した後、現像された第1のレジストをマスクとして用いて第1の絶縁層をエッチングすることによって半導体基板の主表面に達するコンタクトホールを形成する。このコンタクトホールと第1の絶縁層とを覆うように、不純物の導入されたシリコン層を形成する。シリコン層を覆うように第2の絶縁層を形成する。この第2の絶縁層上に、第1のレジストと反対の現像特性を有する第2のレジストを塗布する。そして、再び上記のレチクルを用いて、第2のレジストに第2の露光処理を施す。そして、第2のレジストを現像した後、現像された第2のレジストをマスクとして用いて第2の絶縁層をエッチングすることによってコンタクトホール上にのみ第2の絶縁層を残余させる。この第2の絶縁層を覆うようにシリコン層上にメタルシリサイド層を形成する。なお、本明細書において、現像特性とは、レジストの感光部が現像液に溶解するかどうかを示す性質のことを称するものと定義する。

【0010】この発明に係る半導体装置の製造方法によれば、他の局面では、まず、半導体基板の主表面上に第1の絶縁層を形成する。この第1の絶縁層の上に第1のレジストを塗布する。そして、所定のレチクルを用いてこの第1のレジストに第1の露光処理を施す。第1のレジストを現像した後、現像された第1のレジストをマスクとして用いて第1の絶縁層をエッチングすることによって半導体基板の主表面に達するコンタクトホールを形成する。コンタクトホールと第1の絶縁層とを覆うように、不純物の導入されたシリコン層を形成する。シリコン層を覆うように第2の絶縁層を形成する。第2の絶縁層上に上記の第1のレジストと同じ現像特性を有する第2のレジストを塗布する。そして、再び上記のレチクルを用いて、この第2のレジストに、第1の露光処理の場合より少ない露光量の第2の露光処理を施す。そして、第2のレジストにベーキング処理を施した後、第2のレジスト全面に第3の露光処理を施す。この第3の露光処理の施された第2のレジストを現像した後、現像された第2のレジストをマスクとして用いて第2の絶縁層をエッチングすることによってコンタクトホール上にのみ第2の絶縁層を残余させる。第2の絶縁層を覆うようにシリコン層上にメタルシリサイド層を形成する。

【0011】この発明に係る半導体装置の製造方法によれば、さらに他の局面では、まず、半導体基板の主表面上に第1の絶縁層を形成する。この第1の絶縁層に半導体基板の主表面に達するコンタクトホールを形成する。コンタクトホール内と第1の絶縁層上とに、不純物の導

5

入されたシリコン層を形成する。このシリコン層の表面を酸化することによって、シリコン層の表面に第2の絶縁層を形成する。この第2の絶縁層を選択的にエッチングすることによって、コンタクトホール上にはのみ第2の絶縁層を残余させる。この第2の絶縁層を覆うようにシリコン層上にメタルシリサイド層を形成する。

【0012】この発明に係る半導体装置の製造方法によれば、さらに他の局面では、まず、半導体基板の主表面上に第1の絶縁層を形成する。この第1の絶縁層に半導体基板の主表面に達するコンタクトホールを形成する。コンタクトホール内と第1の絶縁層上とに、不純物が導入されたシリコン層を形成する。このシリコン層を覆うようにSOG (Spin On Glass) 膜を形成する。このSOG膜をエッチングすることによって、コンタクトホール内にのみSOG膜を残余させる。そして、シリコン層上とSOG膜上とにメタルシリサイド層を形成する。

【0013】

【作用】この発明に係る半導体装置の製造方法によれば、1つの局面では、シリコン層を覆うように第2の絶縁層を形成し、この第2の絶縁層を選択的にエッチングすることによってコンタクトホール上にはのみ第2の絶縁層を残余させている。そして、この第2の絶縁層を覆うようにメタルシリサイド層が形成される。それにより、コンタクトホール上において、メタルシリサイド層とシリコン層との間に第2の絶縁層を形成することが可能となる。その結果、コンタクトホール上において、シリコン層からメタルシリサイド層内に不純物が拡散するのを抑制できる。それにより、コンタクトホール上において、シリコン層がノンドープに近い状態になることを効果的に阻止でき、シリコン層と半導体基板との接触抵抗の増大を効果的に抑制することが可能となる。また、本局面においては、互いに反対の現像特性を有する第1と第2のレジストを使用しているため、同一のレチクルを用いて第1と第2のレジストを露光することが可能となる。それにより、レチクルの数を低減することが可能となる。その結果、製造コストを低減することが可能となる。

【0014】この発明に係る半導体装置の製造方法によれば、他の局面では、上記の1つの局面の場合と同様に、シリコン層と半導体基板との接触抵抗の増大を効果的に抑制することが可能となる。また、本局面においては、第2の絶縁層上に、第1のレジストと同じ現像特性を有する第2のレジストを塗布し、第1の露光処理の場合と同じレチクルを用いて、第2のレジストに第1の露光処理の場合より少ない露光量の第2の露光処理を施している。そして、この第2のレジストにベーキング処理を施した後、第2のレジスト全面に第3の露光処理を施している。このような工程を経ることによって、第1の露光処理の場合と同様のレチクルを用いて、第1のレジストと同じ現像特性を有する第2のレジストを露光する

6

ことによって、第1のレジストと反対のパターンに第2のレジストをパターンニングすることが可能となる。それにより、この第2のレジストをマスクとして用いてコンタクトホール上にはのみ第2の絶縁層を残余させることが可能となる。このとき、第1のレジストと同じ現像特性を有する第2のレジストを使用することが可能となるので、上記の1つの局面の場合よりもレジストの種類を削減できる。それにより、上記の1つの局面の場合よりもさらに製造コストを低減することが可能となる。

【0015】この発明に係る半導体装置の製造方法によれば、さらに他の局面では、シリコン層の表面を酸化することによって第2の絶縁層を形成し、この第2の絶縁層を選択的にエッチングすることによってコンタクトホール上にはのみ第2の絶縁層を残余させている。そして、この第2の絶縁層を覆うようにシリコン層上にメタルシリサイド層が形成される。それにより、コンタクトホール上において、シリコン層とメタルシリサイド層との間に第2の絶縁層を形成することが可能となる。それにより、上記の1つの局面の場合と同様に、多結晶シリコン層と半導体基板との間の接触抵抗の増大を効果的に抑制することが可能となる。

【0016】この発明に係る半導体装置の製造方法によれば、さらに他の局面では、シリコン層を覆うようにSOG膜を形成し、このSOG膜をエッチングすることによってコンタクトホール内にのみSOG膜を残余させている。そして、このSOG膜上にメタルシリサイド層を形成している。それにより、コンタクトホール上において、シリコン層とメタルシリサイド層との間にSOG膜を形成することが可能となる。それにより、上記の1つの局面の場合と同様に、半導体基板と多結晶シリコン層との接触抵抗の増大を効果的に抑制することが可能となる。また、本局面においては、コンタクトホール内にSOG膜を充填することが可能となる。それにより、メタルシリサイド層の下地を平坦化することが可能となる。その結果、メタルシリサイド層の長さを短縮することが可能となり、配線抵抗を低減することが可能となる。さらに、メタルシリサイド層の下地が平坦化されることによって、コンタクトホール上におけるメタルシリサイド層の断線の可能性を低減することが可能となる。

【0017】

【実施例】以下、図1～図16を用いて、この発明の実施例について説明する。

【0018】(第1実施例) まず、図1～図7を用い、この発明の第1の実施例について説明する。図1は、この発明の第1の実施例における半導体装置を示す断面図である。

【0019】まず、上記の図1を用いて、この発明の第1の実施例における半導体装置の構造について説明する。図1を参照して、シリコン基板1の主表面上にはシリコン酸化膜2が形成されている。シリコン酸化膜2に

は、所定部分に、シリコン基板1の表面に達するコンタクトホール3が形成されている。コンタクトホール3内からシリコン酸化膜2上に延在するように多結晶シリコン層4が形成されている。

【0020】この多結晶シリコン層4には、リン(P)などの所定の不純物が導入されている。多結晶シリコン層4上には、コンタクトホール3を覆うように選択的にシリコン酸化膜5が形成されている。そして、このシリコン酸化膜5と多結晶シリコン層4とを覆うように、タングステンシリサイド(WSi)層7が形成されている。

【0021】このように、コンタクトホール3上において、多結晶シリコン層4とタングステンシリサイド層7との間にシリコン酸化膜5を介在させることによって、多結晶シリコン層4内に導入された不純物がタングステンシリサイド層7内に拡散するのを抑制することが可能となる。それにより、多結晶シリコン層4とシリコン基板1との接触部分において、多結晶シリコン層4内に含まれる不純物濃度が低下することを抑制することが可能となる。その結果、多結晶シリコン層4とシリコン基板1との間にノンドープに近い状態の低濃度領域が形成されることを効果的に抑制することが可能となる。それにより、多結晶シリコン層4とシリコン基板1との接触抵抗の増大を効果的に抑制することが可能となる。

【0022】次に、図2～図7を用いて、図1に示される半導体装置の製造方法について説明する。図2～図7は、図1に示される半導体装置の製造工程の第1工程～第6工程を示す断面図である。

【0023】まず図2を参照して、シリコン基板1の主表面上に、熱CVD(Chemical Vapor Deposition)法を用いて、3000Å程度の厚みのシリコン酸化膜2を形成する。その後、シリコン酸化膜2上に、回転塗布法によってポジ型レジスト6aを塗布する。このポジ型レジスト6aに、所定のレチクルを用いて約500ミリ秒程度の露光量の露光処理を施す。その後、このポジ型レジスト6aを現像する。それにより、図2に示されるように、パターニングされたポジ型レジスト6aが形成される。

【0024】そして、RIE(Reactive Ion Etching)法を用いて、ポジ型レジスト6aをマスクとして用いてシリコン酸化膜2をエッチングする。それにより、シリコン基板1の主表面に達するコンタクトホール3を形成する。このとき、シリコン酸化膜2は、エッチングガスとして $\text{CHF}_3$ を主に用いたドライエッチングによってエッチングされることが好ましい。しかし、エッチングガスに関してはシリコン酸化膜をエッチングできるものであれば何でもよいし、エッチング方法に関しても、平行平板型RIE、ECRRIE、マグネトロンRIEなどを用いてもよい。さらに、弗酸によるウェットエッチングによってコンタクトホール3を形成してもよい。

【0025】次に、図3を参照して、モノシラン(Si

$\text{H}_4$ )ガスとフォスフィン( $\text{PH}_3$ )ガスを主原料として、リンがドーパされた多結晶シリコン層4を1000Å程度の厚みに堆積する。このときの多結晶シリコン層4の形成温度は、好ましくは、約570℃である。また、多結晶シリコン層4内に含まれるリン濃度が $1 \times 10^{20} \text{ cm}^{-3}$ となるように各ガス流量を調整する。そして、CVD法などを用いて、シリコン層4上に、約500Å程度の厚みのシリコン酸化膜5を形成する。

【0026】次に、図4を参照して、シリコン酸化膜5の上に、回転塗布法によって、上記のポジ型レジスト6aと反対の現像特性を有するネガ型レジスト6bを塗布する。そして、図2に示された場合と同一のレチクルを用いて、ネガ型レジスト6bを露光する。そしてネガ型レジスト6bを現像する。それにより、図4に示されるように、コンタクトホール3上にもみ残余するようにネガ型レジスト6bはパターニングされる。このネガ型レジスト6bをマスクとして用いてシリコン酸化膜5をエッチングする。

【0027】上記のように、コンタクトホール3の形成の際に用いられたレチクルと同一のレチクルを用いてシリコン酸化膜5をパターニングすることができるので、レチクル枚数を削減することが可能となる。それにより、製造コストを低減することが可能となる。

【0028】上記のようにしてシリコン酸化膜5をパターニングした後、図5に示されるように、ネガ型レジスト6bを除去する。次に、図6に示されるように、スパッタリング法などを用いて、多結晶シリコン層4上に500Å程度の厚みのタングステンシリサイド(WSi)層7を形成する。そして、このタングステンシリサイド層7上に、レジスト6cを塗布し、所定形状にパターニングする。そして、このレジスト6cをマスクとして用いて、タングステンシリサイド層7と多結晶シリコン層4とを順次エッチングする。それにより、図7に示される構造が得られる。その後、レジスト6cを除去することによって図1に示される半導体装置が形成されることになる。

【0029】(第2実施例)次に、図8を用いて、この発明の第2の実施例について説明する。図8は、この発明の第2の実施例における半導体装置の製造方法の特徴的な工程を示す断面図である。

【0030】図8を参照して、上記の第1の実施例と同様の工程を経てシリコン膜5までを形成する。そして、シリコン酸化膜5上に、再びポジ型レジスト6aを塗布する。そして、上記の第1の実施例において、コンタクトホール3の形成時に用いたレチクルと同一のレチクルを用いて、ポジ型レジスト6aに、上記の第1の実施例におけるポジ型レジスト6aの露光の際の露光量より少ない露光量で、露光処理を施す。具体的には、約250ミリ秒程度の露光量とする。

【0031】その後、120℃で30秒間ホットプレー



トベークを行なう。それにより、ポジ型レジスト6aの露光部（感光部）に難溶部を形成する。その後、レチクルを用いることなく、ポジ型レジスト6aの全面に、400ミリ秒の露光量での露光を行なう。その後、通常の現像処理を施す。それにより、図8に示される形状のポジ型レジスト6aが形成されることになる。その後は上記の第1の実施例と同様の工程を経て図1に示される半導体装置が形成されることになる。

【0032】本実施例においては、上記のようなイメージリバーサル法を用いることによって上記の第1の実施例におけるネガ型レジスト6bの代わりにポジ型レジスト6aを使用することができるので、上記の第1の実施例と比べてレジスト材料を1種類削減することが可能となる。それにより、上記の第1の実施例の場合よりもさらに製造コストを低減することが可能となる。

【0033】（第3実施例）次に、図9～図12を用いて、この発明の第3の実施例について説明する。図9～図12は、この発明の第3の実施例における半導体装置の製造工程の第1工程～第4工程を示す断面図である。

【0034】まず図9を参照して、上記の第1の実施例と同様の工程を経て多結晶シリコン層4までを形成する。その後、図10に示されるように、多結晶シリコン層4を覆うように5000Å程度の厚みのSOG（Spin On Glass）膜8を堆積する。そして、このSOG膜8の表面を平坦化する。

【0035】次に、図11を参照して、ドライエッチング法を用いてSOG膜8をエッチングする。このとき、エッチングは多結晶シリコン層4の表面が露出するまで行なわれる。それにより、コンタクトホール3内にSOG膜8を充填することが可能となる。このとき、SOG膜8の表面と多結晶シリコン層4の表面とがほぼ面一になることが好ましい。

【0036】次に、図12を参照して、SOG膜8を覆うように多結晶シリコン層4上に、スパッタリング法あるいはCVD法を用いてタングステンシリサイド（WSi）層を1000Å程度の厚みに堆積する。その後、上記の第1の実施例と同様の方法で、所定形状にパターニングされたレジスト6dを、タングステンシリサイド層7の表面上に形成する。そして、このレジスト6dをマスクとして用いてタングステンシリサイド層7と多結晶シリコン層4とを順次エッチングする。それにより、配線層が形成されることになる。

【0037】このとき、タングステンシリサイド層7の下地はほぼ平坦化されているため、コンタクトホール3上におけるタングステンシリサイド層7の断線の可能性は極めて低いものとなる。また、このように平坦化された下地の上にタングステンシリサイド層7が形成されるので、タングステンシリサイド層7の実行的な長さを低減することが可能となる。それにより、タングステンシリサイド層7の低抵抗化が可能となり、ひいては配線層

の低抵抗化が可能となる。

【0038】その後は、レジスト6dを除去することによって本実施例における半導体装置が形成されることになる。

【0039】（第4実施例）次に、図13～図16を用いて、この発明の第4の実施例について説明する。図13は、この発明の第4の実施例における半導体装置を示す断面図である。

【0040】図13を参照して、本実施例における半導体装置では、多結晶シリコン層4の表面に酸化処理が施されることによってシリコン酸化膜5aが形成されている。それ以外の構造に関しては図1に示される半導体装置とほぼ同様である。それにより、図1に示される半導体装置とほぼ同様の効果が得られる。

【0041】次に、図14～図16を用いて、図13に示される半導体装置の製造方法について説明する。図14～図16は、図13に示される半導体装置の製造工程の第1工程～第3工程を示す断面図である。

【0042】まず図14を参照して、上記の第1の実施例と同様の工程を経て多結晶シリコン層4までを形成する。次に、多結晶シリコン層4に、酸化雰囲気中で750℃、10分間程度の熱処理を施す。それにより、図15に示されるように、多結晶シリコン層4の表面にシリコン酸化膜5aを形成する。このとき、このシリコン酸化膜5aの厚みは、好ましくは、約150Å程度である。

【0043】次に、図16を参照して、シリコン酸化膜5a上に、レジスト6eを塗布する。そして、所定のレチクルを用いてこのレジスト6eを露光した後、このレジスト6eを現像する。それにより、図16に示されるように、コンタクトホール3を覆うようにパターニングされたレジスト6eが形成される。そして、このレジスト6eをマスクとして用いて、シリコン酸化膜5aをエッチングする。それにより、多結晶シリコン層4の表面を選択的に露出させる。その後、レジスト6eを除去する。

【0044】その後は、上記の第1の実施例と同様の方法で、多結晶シリコン層4を覆うようにタングステンシリサイド層7を形成し、このタングステンシリサイド層7と多結晶シリコン層4とを所定形状にパターニングする。それにより、図13に示される半導体装置が形成されることになる。

【0045】

【発明の効果】以上説明したように、この発明によれば、メタルシリサイド層とシリコン層との積層構造配線が半導体基板と接触する部分において、メタルシリサイド層とシリコン層との間に絶縁層を形成することが可能となる。このように絶縁層を形成することによって、シリコン層内に導入された不純物がメタルシリサイド層内に拡散することを抑制することが可能となる。それによ

11

り、シリコン層の局所的な空乏化を効果的に阻止でき、配線層と半導体基板との接触抵抗の増大を効果的に抑制することが可能となる。

【0046】また、メタルシリサイド層とシリコン層との間の絶縁層を形成するに際して、コンタクトホール形成に用いた第1のレジストと反対の現像特性を有する第2のレジストを用いることによって、コンタクトホールの形成の際に用いたレチクルと同一のレチクルを、第2のレジストの露光の際に用いることが可能となる。それにより、レチクル枚数を削減することが可能となり、製造コストを低減することが可能となる。

【0047】さらに、第2のレジストとして、第1のレジストと同じ現像特性を有するものを使用することも可能であり、この場合には、さらに製造コストを低減することが可能となる。

【図面の簡単な説明】

【図1】 この発明の第1の実施例における半導体装置を示す断面図である。

【図2】 図1に示される半導体装置の製造工程の第1工程を示す断面図である。

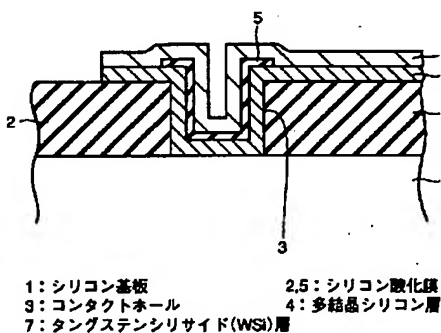
【図3】 図1に示される半導体装置の製造工程の第2工程を示す断面図である。

【図4】 図1に示される半導体装置の製造工程の第3工程を示す断面図である。

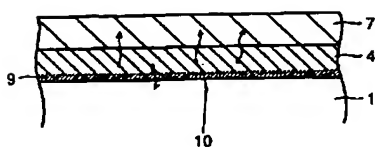
【図5】 図1に示される半導体装置の製造工程の第4工程を示す断面図である。

【図6】 図1に示される半導体装置の製造工程の第5工程を示す断面図である。

【図1】



【図17】



12

【図7】 図1に示される半導体装置の製造工程の第6工程を示す断面図である。

【図8】 この発明の第2の実施例における半導体装置の製造工程中の特徴的な工程を示す断面図である。

【図9】 この発明の第3の実施例における半導体装置の製造工程の第1工程を示す断面図である。

【図10】 この発明の第3の実施例における半導体装置の製造工程の第2工程を示す断面図である。

【図11】 この発明の第3の実施例における半導体装置の製造工程の第3工程を示す断面図である。

【図12】 この発明の第3の実施例における半導体装置の製造工程の第4工程を示す断面図である。

【図13】 この発明の第4の実施例における半導体装置を示す断面図である。

【図14】 図13に示される半導体装置の製造工程の第1工程を示す断面図である。

【図15】 図13に示される半導体装置の製造工程の第2工程を示す断面図である。

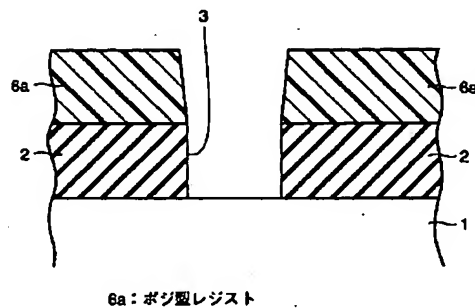
【図16】 図13に示される半導体装置の製造工程の第3工程を示す断面図である。

【図17】 従来構造の問題点を模式的に示す断面図である。

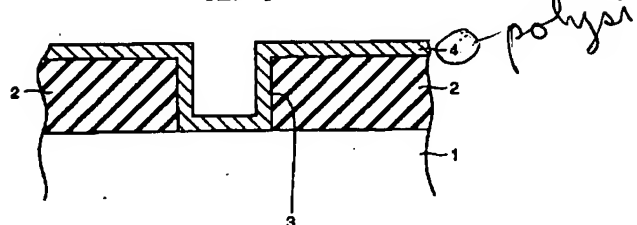
【符号の説明】

1 シリコン基板、2, 5, 5a シリコン酸化膜、3 コンタクトホール、4 多結晶シリコン層、6a ポジ型レジスト、6b ネガ型レジスト、6c, 6d, 6e レジスト、7 タングステンシリサイド層、8 S OG膜、9 低濃度領域、10 不純物。

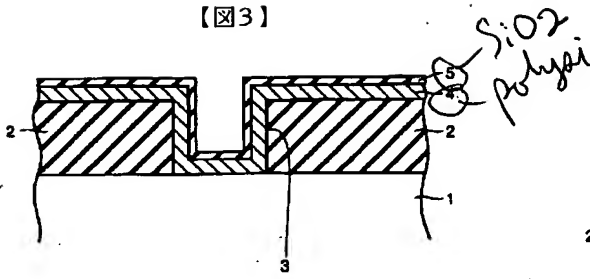
【図2】



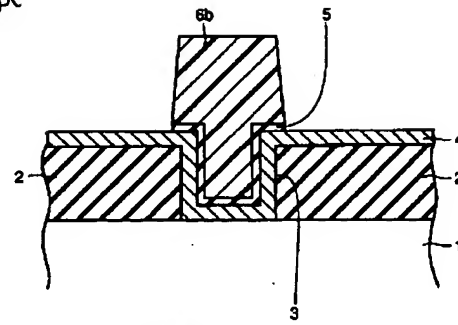
【図9】



【図3】

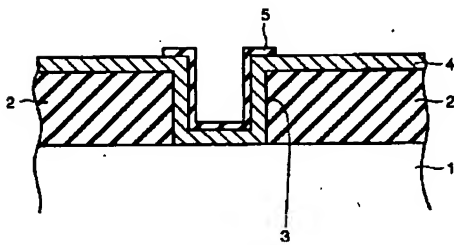


【図4】

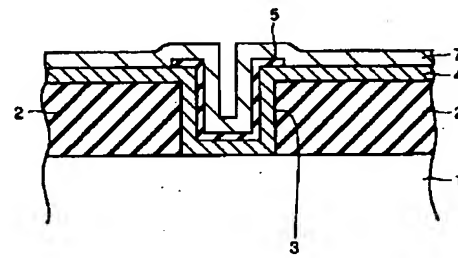


6b: ネガ型レジスト

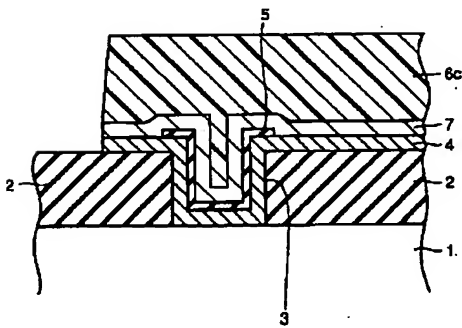
【図5】



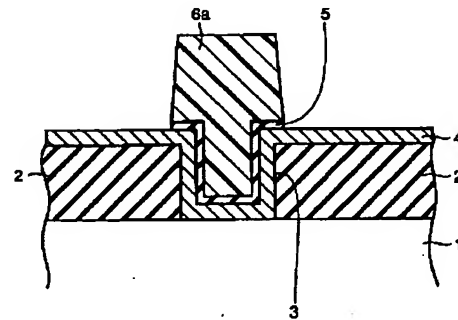
【図6】



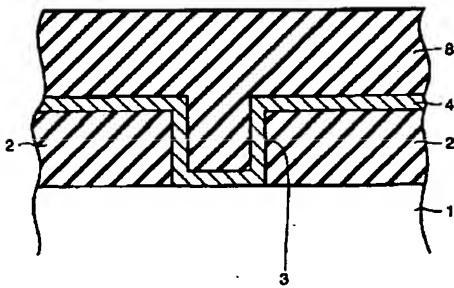
【図7】



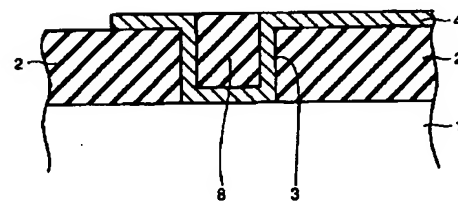
【図8】



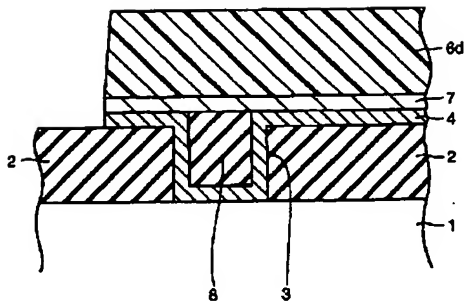
【図10】



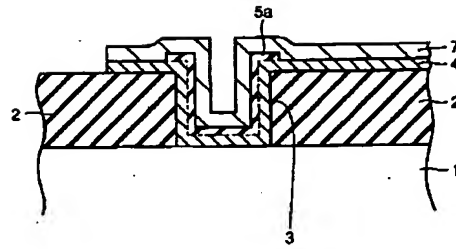
【図11】



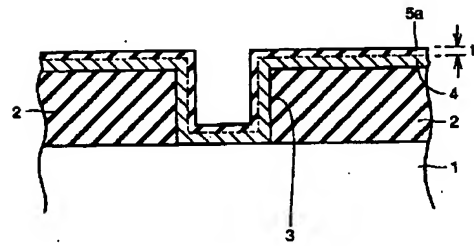
【図12】



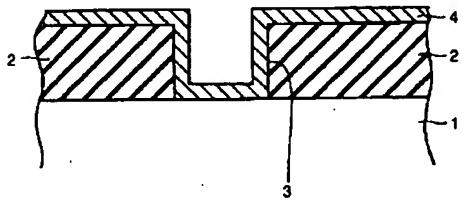
【図13】



【図15】



【図14】



【図16】

